

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-033455

(43)Date of publication of application : 31.01.2002

(51)Int.Cl.

H01L 27/04
H01L 21/822
G01R 31/3185
G01R 31/28
G06F 11/22
G11C 29/00

(21)Application number : 2000-216851

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 18.07.2000

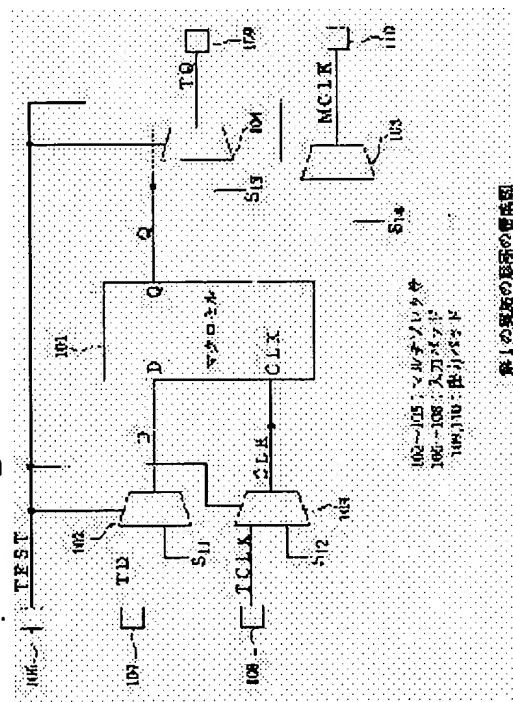
(72)Inventor : MATSUI KATSUAKI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To eliminate the influence of a wiring delay on the measurement of the access time of a macrocell.

SOLUTION: A signal TD is fed to an input D of a macrocell 101 via a multiplexer 102, a clock TCLK is fed to the macrocell 101 via a multiplexer 103, a signal Q of the macrocell 101 is outputted via a multiplexer 104 to a pad 109, and the clock TCLK is also outputted from a pad 110 via the multiplexers 103, 105. The time T1 for outputting the signal Q from the pad 109 after application of the clock TCLK to a pad 108 and the time T2 (or outputting the clock TCLK from the pad 110 after application of the clock TCLK to the pad 108) are measured to compute T1-T2. This computation result substantially agrees with the access time of the macrocell 101 minus a wiring delay.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-33455

(P2002-33455A)

(43)公開日 平成14年1月31日(2002.1.31)

(51)Int.Cl.	識別記号	F I	テーム(参考)
H 0 1 L 27/04		G 0 6 F 11/22	3 3 0 B 2 G 0 3 2
21/822		G 1 1 C 29/00	6 5 9 5 B 0 4 8
G 0 1 R 31/3185			6 7 1 Z 5 F 0 3 8
31/28		H 0 1 L 27/04	T 5 L 1 0 6
G 0 6 F 11/22	3 3 0	G 0 1 R 31/28	W

審査請求 未請求 請求項の数5 OL (全 10 頁) 最終頁に続く

(21)出願番号 特願2000-216851(P2000-216851)

(22)出願日 平成12年7月18日(2000.7.18)

(71)出願人 000000295

沖電気工業株式会社

東京都港区虎ノ門1丁目7番12号

(72)発明者 松井 克晃

東京都港区虎ノ門1丁目7番12号 沖電気
工業株式会社内

(74)代理人 100085419

弁理士 大垣 孝

Fターム(参考) 2G032 AA00 AB01 AD06 AK11 AK14

AL00

5B048 AA20 EE02 FF01

5F038 CD05 CD06 CD09 DT02 DT08

DT10 DT12 EZ20

5L106 DD00 DD32 FF01 GG00

(54)【発明の名称】 半導体装置

(57)【要約】

【課題】 マクロセルのアクセスタイムを測定する際に、配線遅延の影響を排除する。

【解決手段】 信号TDは、マルチプレクサ102を介してマクロセル101の入力端Dに供給される。クロックTCLKは、マルチプレクサ103を介してマクロセル101に供給される。マクロセル101の信号Qは、マルチプレクサ104を介してパッド109に出力される。クロックTCLKは、マルチプレクサ103、105を介してパッド110からも出力される。クロックTCLKがパッド108に印加されてからパッド109が信号Qを出力するまでの時間T₁と、クロックTCLKがパッド108に印加されてからパッド110がクロックTCLKを出力するまでの時間T₂とを測定し、T₁-T₂を演算する。この演算結果は、マクロセル101のアクセスタイムから配線遅延を差し引いた値と、実質的に一致する。

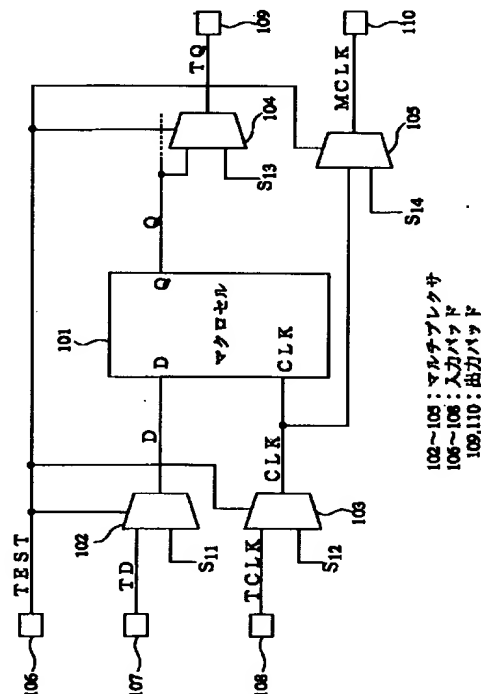


図1の装置の構成図

【特許請求の範囲】

【請求項1】 集積回路内に形成された回路ブロックの機能試験を行うモードを備える半導体装置において、前記機能試験時に使用される試験用信号バスの配線遅延を判定するための、遅延測定用信号バスを備えることを特徴とする半導体装置。

【請求項2】 前記集積回路の第1の信号パッドに供給された入力信号を前記回路ブロックに導く第1の信号バスと、
前記回路ブロックの出力信号を前記集積回路の第2の信号パッドから出力させる第2の信号バスと、
前記第1のパッドに供給された前記入力信号を第3の信号パッドから出力させる、前記第1のバスの信号遅延時間と前記第2の信号遅延時間との和と実質的に同じ信号遅延時間の、第3の信号バスと、
を備えることを特徴とする請求項1に記載の半導体装置。

【請求項3】 前記集積回路の第4の信号パッドに供給された入力信号を前記回路ブロックに導く第4の信号バスと、
前記回路ブロックの出力信号または前記入力信号を入力して選択的に出力する第1のマルチプレクサと、
前記第1のマルチプレクサの出力信号を第5の信号パッドから出力させる第5の信号バスと、
を備えることを特徴とする請求項1に記載の半導体装置。

【請求項4】 前記回路ブロックの出力信号を第6の信号パッドから出力させる第6の信号バスと、
前記回路ブロックの前記出力信号を入力・保持するラッチと同じ構成の試験用ラッチと、
この試験用ラッチの出力信号を第7の信号パッドから出力させる第7の信号バスと、
を備えることを特徴とする請求項1に記載の半導体装置。

【請求項5】 前記集積回路の第8の信号パッドに供給された第1の入力信号を前記回路ブロックに導く第8の信号バスと、
前記集積回路の第9の信号パッドに供給された第2の入力信号を前記回路ブロックに導く第9の信号バスと、
前記回路ブロックの前記第1の入力信号または前記第2の入力信号を入力して選択的に出力する第2のマルチプレクサと、
前記第2のマルチプレクサの出力信号を第10の信号パッドから出力させる第10の信号バスと、
を備えることを特徴とする請求項1に記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体装置に関し、より詳細には、集積回路内に形成された回路ブロック

クの機能試験を行うモードを備える半導体装置に関する。

【0002】

【従来の技術】半導体装置の集積回路としては、例えば、複数の大規模なマクロセルを混載させたものが知られている。マクロセルとは、既に個別に設計されていた複数の小規模な回路ブロックを組み合わせることで構成された、回路ブロックである。例えばRAM(Random Access Memory)等として、マクロセルが採用される。マクロセルを採用することにより、設計作業を容易化することができる。

【0003】集積回路にマクロセルを採用した場合、半導体装置の試験工程で、そのマクロセルのみの機能試験を行う場合がある。このため、集積回路内に、そのマクロセルの機能試験を行うための回路が設けられる場合がある。

【0004】図6は、従来の機能試験回路の構成を説明するための回路図である。

【0005】図6の例では、マクロセル601は、信号入力端D、クロック入力端CLKおよび信号出力端Qを有している。

【0006】マルチプレクサ602、603、604は、選択信号として信号TESTを入力する。信号TESTは、入力パッド605を介して、外部から入力される。信号TESTが通常動作モード（非機能試験モード）を示しているとき、マルチプレクサ602は他の回路ブロック等（図示せず）の出力信号S61を選択し、マルチプレクサ603は他の回路ブロック等（図示せず）のクロックS62を選択する。また、マルチプレクサ604は、他の回路ブロック（図示せず）の出力信号S63を選択する。一方、信号TESTが機能試験モードを示しているとき、マルチプレクサ602はテスト用信号TDを選択し、マルチプレクサ603はテスト用クロックTCLKを選択する。また、マルチプレクサ604は、マクロセル601の出力信号TQを選択する。ここで、テスト用信号TDはパッド606を介して入力され、テスト用クロックTCLKはパッド607を介して入力される。また、テスト用出力信号TQは、パッド608から、外部に出力される。

【0007】このような構成によれば、外部からパッド606、607に供給されたテスト用信号TDおよびテスト用クロックTCLKに対応する出力信号TQを、パッド608から読み出すことによって、マクロセル601の機能試験を行うことができる。

【0008】

【発明が解決しようとする課題】一般に、マクロセル601の機能試験としては、アクセスタイムの試験やセットアップタイムの試験等が、知られている。

【0009】アクセスタイムとは、マクロセル601の信号入力端Dが信号を取り込んでから、信号出力端Qが

信号を出力するまでの、所要時間である。アクセスタイムが設計値よりも長い場合、次段の回路を正しく動作させることができない。ここで、信号入力端Dは、クロックCLKの入力タイミング(立ち上がりタイミングまたは立ち下がりタイミング)で、信号を取り込む。したがって、アクセスタイムを測定するためには、クロック入力端CLKがクロックを入力してから、信号出力端Qが信号を出力するまでの、所要時間を測定すればよい。

【0010】また、セットアップタイムとは、信号入力端Dに信号電位が印加されてからクロック入力端CLKにクロックが入力されるまでの許容時間差、および、クロック入力端CLKにクロックが入力されてから信号入力端Dに対する信号電位の印加が終了するまでの許容時間差である。マクロセル601が信号Dを正しく取り込むためには、信号入力端Dに信号電位が印加されてからクロック入力端CLKにクロックが入力されるまでの時間差が、所定の許容時間差以上であることが必要である。同様に、マクロセル601が信号Dを正しく取り込むためには、クロック入力端CLKにクロックが入力されてから信号入力端Dに対する信号電位の印加が終了するまでの時間差が所定の許容時間差以上であることが必要である。したがって、これらの許容時間差が設計値よりも長い場合、マクロセル601に、誤った値の信号Dが取り込まれるおそれがある。このため、セットアップタイムの試験では、信号Dの印加開始・終了タイミングとクロック入力タイミングとの時間差を所定値にした場合に、信号Dが正しく読み込まれたかどうかを判定する。信号Dが正しく読み込まれたかどうかは、出力信号TQの値によって判定される。

【0011】従来の半導体装置では、アクセスタイムの試験を行う場合、パッド606にテスト用信号TDが入力されてから、パッド608に信号TQが出力されるまでの所要時間を測定していた。また、セットアップタイムの試験を行う場合には、パッド606へのテスト用信号TDの印加を開始・終了するタイミングとパッド607にテスト用クロックTCLKを印加するタイミングとの差を上述の所定値に設定したときの、出力Qの信号値を読み出していた。

【0012】しかしながら、パッド606、607、608とマクロセル601との間の配線距離が長い場合、配線遅延が無視できなくなって、正確な機能試験が行えなくなる。例えば、上述のアクセスタイムの試験では、パッド606と信号入力端Dとの間の配線遅延や信号出力端Qとパッド608との間の配線遅延が無視できない場合には、正確な判定を行うことができない。また、上述のセットアップタイムの試験では、パッド606から信号入力端Dまでの配線遅延とパッド607からクロック入力端CLKまでの配線遅延との差が無視できない場合には、正確な判定を行うことができない。

【0013】このため、配線遅延の影響を排除して正確

な機能試験を行うための技術が囑望されていた。

【0014】

【課題を解決するための手段】この発明は、集積回路内に形成された回路ブロックの機能試験を行うモードを備える半導体装置に関する。

【0015】そして、機能試験時に使用される試験用信号バスの配線遅延を判定するための遅延測定用信号バスを備える。

【0016】この発明によれば、信号が試験用信号バスを通過する時間の測定と、信号が遅延測定用信号バスを通過する時間の測定とを行い、両者の差を算出することによって、配線遅延の影響を排除して正確な機能試験を行うことができる。

【0017】

【発明の実施の形態】以下、本発明の実施の形態について、図面を用いて説明する。なお、図中、各構成成分の大きさ、形状および配置関係は、本発明が理解できる程度に概略的に示してあるにすぎず、また、以下に説明する数値的条件は単なる例示にすぎない。

【0018】第1の実施の形態

以下、この発明の第1の実施の形態について、図1および図2を用いて説明する。この実施の形態は、マクロセルのアクセスタイムを正確に判定する半導体装置の例である。

【0019】図1は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0020】図1に示したように、この半導体装置は、マクロセル101と、2入力のマルチプレクサ102、103、104、105と、入力パッド106、107、108と、出力パッド109、110とを備えている。

【0021】マクロセル101は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよびクロック入力端CLKは、マルチプレクサ102、103から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ104に、出力信号Qを供給する。

【0022】マルチプレクサ102は、一方の入力端がパッド107に接続され、他方の入力端から他の回路ブロック等(図示せず)の出力信号S₁₁を入力する。また、マルチプレクサ102の出力端は、マクロセル101の信号入力端Dに接続される。さらに、マルチプレクサ102の選択信号入力端は、パッド106に接続される。ここで、マルチプレクサ102の一方の入力端とパッド107とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド107を、他の回路ブロック(図示せず)用の信号パッドとして使用してもよい。

【0023】マルチプレクサ103は、一方の入力端が

パッド108に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロックS12を入力する。また、マルチプレクサ103の出力端は、マクロセル101のクロック入力端CLKに接続される。さらに、マルチプレクサ103の選択信号入力端は、パッド106に接続される。マルチプレクサ103の一方の入力端とパッド108とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド108を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0024】マルチプレクサ104は、一方の入力端がマクロセル101の信号出力端Qに接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号S13を入力する。また、マルチプレクサ104の出力端は、パッド109に接続される。さらに、マルチプレクサ104の選択信号入力端は、パッド106に接続される。これにより、パッド109は、機能試験時には信号Qの出力パッドとして使用され、通常動作時には信号S13の出力パッドとして使用される。

【0025】マルチプレクサ105は、一方の入力端がマクロセル101のクロック入力端CLKに接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号S14を入力する。また、マルチプレクサ105の出力端は、パッド110に接続される。さらに、マルチプレクサ105の選択信号入力端は、パッド106に接続される。これにより、パッド110は、機能試験時にはクロックCLKの出力パッドとして使用され、通常動作時には信号S14の出力パッドとして使用される。

【0026】ここで、マルチプレクサ105は、マルチプレクサ104の近傍に配置される。これにより、マルチプレクサ104からパッド109までの配線長とマルチプレクサ105からパッド110までの配線長とを同じにすることができる。したがって、信号出力端Qからパッド109までの配線長とクロック入力端CLKからパッド110までの配線長との差は、信号出力端Qからマルチプレクサ104までの配線長とクロック入力端CLKからマルチプレクサ105までの配線長との差となるが、この差は配線遅延上は無視できる。したがって、出力信号Qがパッド109に達するまでの遅延時間とクロックCLKがパッド110に達するまでの遅延時間とは、実質的に同一である。

【0027】次に、図1に示した半導体装置のアクセスタイムを測定する方法について、図2を用いて説明する。

【0028】機能試験を行う場合、まず、パッド106に供給する信号TESTを、機能試験モードの信号値に設定する。これにより、マルチプレクサ102はパッド107を選択し、マルチプレクサ103はパッド108を選択し、マルチプレクサ104は信号Qを選択し、且つ、マルチプレクサ105はクロックCLKを選択す

る。次に、パッド107からテスト用信号TDが入力され、且つ、パッド108からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ102、103を介して、マクロセル101に入力される。そして、マクロセル101は、テスト用クロックTCLKによって与えられたタイミング（図2の例では立ち上がりタイミング）でテスト用信号TDを読み込み、このテスト用信号TDの値に対応する値の信号Qを出力する。この信号Qは、マルチプレクサ104を介して、パッド109から出力される。また、テスト用クロックTCLKは、マルチプレクサ105を介し、クロックMCLKとしてパッド110から出力される。

【0029】この実施の形態では、パッド108にテスト用クロックTCLKが供給されてからパッド109が信号Qを出力するまでの所要時間 T_1 と、パッド108にテスト用クロックTCLKが供給されてからパッド110がテスト用クロックMCLKを出力するまでの所要時間 T_2 とが、測定される。そして、これらの所要時間の差 $T_1 - T_2$ が計算される。図2に示したように、テスト用クロックTCLKがパッド108に印加されてからマクロセル101に入力されるまでの時間を t_1 、マクロセルがテスト用クロックTCLKを入力してから信号Qを出力するまでの時間（すなわちアクセスタイム）を t_x 、信号Qが出力されてからパッド109に達するまでの時間を t_2 とすると、時間 T_1 は、 $t_1 + t_x + t_2$ である。また、上述したように、出力端Qからパッド109までの配線遅延とクロック入力端CLKからパッド110までの配線遅延とは、実質的に同じなので、時間 T_2 は $t_1 + t_2$ である。したがって、時間差 $T_1 - T_2$ は、アクセスタイム t_x と一致する。すなわち、時間差 $T_1 - T_2$ は、アクセスタイムの測定値 T_1 から配線遅延の影響を除去した値となる。

【0030】このように、この実施の形態に係る半導体装置によれば、マクロセルの正確なアクセスタイムを測定することができる。

【0031】第2の実施の形態

次に、この発明の第2の実施の形態について、図3を用いて説明する。この実施の形態は、マクロセルのアクセスタイムを正確に判定する半導体装置の例である。

【0032】図3は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0033】図3に示したように、この半導体装置は、マクロセル301と、2入力のマルチプレクサ302、303と、3入力のマルチプレクサ304と、入力パッド305、306、307、308と、出力パッド309とを備えている。

【0034】マクロセル301は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよび

10

20

30

40

50

クロック入力端CLKは、マルチプレクサ302、303から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ304に、出力信号Qを出力する。

【0035】マルチプレクサ302は、一方の入力端がパッド307に接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号S₃₁を入力する。また、マルチプレクサ302の出力端は、マクロセル301の信号入力端Dに接続される。さらに、マルチプレクサ302の選択信号入力端は、パッド306に接続される。マルチプレクサ302の一方の入力端とパッド307とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド307を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0036】マルチプレクサ303は、一方の入力端がパッド308に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロックS₃₂を入力する。また、マルチプレクサ303の出力端は、マクロセル301のクロック入力端CLKに接続される。さらに、マルチプレクサ303の選択信号入力端は、パッド306に接続される。マルチプレクサ303の一方の入力端とパッド308とは、機能試験時に接続されればよく、通常動作時にはパッド308を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0037】マルチプレクサ304は、第1の入力端がマクロセル301の信号出力端Qに接続され、第2の入力端が他の回路ブロック等（図示せず）の出力信号S₃₃を入力し、さらに、第3の入力端がマクロセル301のクロック入力端CLKに接続される。また、マルチプレクサ304の出力端は、パッド309に接続される。さらに、マルチプレクサ304の一方の選択信号入力端はパッド305に接続され、他方の選択信号入力端はパッド306に接続される。これにより、パッド309は、機能試験時には信号QおよびクロックCLKの出力パッドとして使用され、通常動作時には信号S₃₃の出力パッドとして使用される。

【0038】この実施の形態では、信号QおよびクロックCLKが、ともに、マルチプレクサ304を介して、パッド309から出力される。したがって、信号出力端Qからパッド309までの配線長とクロック入力端CLKからパッド309までの配線長との差は、信号出力端Qからマルチプレクサ304までの配線長とクロック入力端CLKからマルチプレクサ304までの配線長との差となる。したがって、マルチプレクサ304は、この差が配線遅延上無視できるような位置に、配置される。例えば、マルチプレクサ304を、マクロセル301の近傍に配置することにより、かかる配線遅延を無視することができるようになる。

【0039】次に、図3に示した半導体装置のアクセスタイムを測定する方法について、説明する。

【0040】機能試験を行う場合、まず、パッド306に供給する信号TESTを、機能試験モードの信号値に設定する。さらに、パッド305に供給する信号MODEを、出力端Qを選択するための信号値に設定する。これにより、マルチプレクサ302はパッド307を選択し、マルチプレクサ303はパッド308を選択し、マルチプレクサ304は出力端Qを選択する。続いて、パッド307からテスト用信号TDが入力され、且つ、パッド308からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ302、303を介して、マクロセル301に入力される。そして、マクロセル301は、信号TQを出力する。この信号TQは、マルチプレクサ304を介して、パッド309から出力される。このとき、パッド308にテスト用クロックTCLKが供給されてからパッド309が信号TQを出力するまでの所要時間T₃が、測定される。

【0041】次に、信号MODEが、クロック入力端CLKを選択するための信号値に変更される。そして、パッド308からテスト用クロックTCLKが入力される。テスト用クロックTCLKは、マルチプレクサ303、304を介して、パッド309から出力される。このとき、テスト用クロックTCLKが、パッド308に供給されてからパッド309に達するまでの所要時間T₄が、測定される。

【0042】その後、所要時間の差T₃ - T₄を演算することにより、アクセスタイムが算出される。

【0043】このように、この実施の形態では、1個のマルチプレクサを用いて所要時間T₃、T₄を個別に測定した後で、アクセスタイムを算出する。この実施の形態によっても、マクロセルの正確なアクセスタイムを測定することができる。

【0044】第3の実施の形態

次に、この発明の第3の実施の形態について、図4を用いて説明する。この実施の形態は、マクロセルの出力信号が次段の論理回路ブロックに取り込まれるまでの所要時間を正確に判定する半導体装置の例である。

【0045】図4は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0046】図4に示したように、この半導体装置は、マクロセル401と、論理回路ブロック402と、ラッチ403と、マルチプレクサ404、405、406、407と、入力パッド408、409、410と、出力パッド411、412とを備えている。

【0047】マクロセル401は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。信号入力端Dおよびクロック入力端CLKは、マルチプレクサ404、405から信号DおよびクロックCLKを入力する。また、信号出力端Qは、ラッチ403、後段の論理回路ブロック402およびマ

ルチプレクサ406に、出力信号Qを出力する。

【0048】論理回路ブロック402は、入力回路として、ラッチ402aを備えている。ラッチ402aは、マクロセル401から入力された信号Qを、クロックS₄₁のタイミングで保持する。論理回路ブロック402は、ラッチ402aの出力信号を用いて所定の論理演算等を行う。

【0049】ラッチ403は、ラッチ402aのダミーとして使用される。したがって、ラッチ403としては、ラッチ402aと同じアクセスタイムのものが使用される。このラッチ403は、マクロセル401から入力された信号Qを、クロックS₄₁のタイミングで保持・出力する。

【0050】マルチプレクサ404は、一方の入力端がパッド409に接続され、他方の入力端が他の回路ブロック等（図示せず）の出力信号S₄₂を入力する。また、マルチプレクサ404の出力端は、マクロセル401の信号入力端Dに接続される。さらに、マルチプレクサ404の選択信号入力端は、パッド408に接続される。マルチプレクサ404の一方の入力端とパッド409とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド409を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0051】マルチプレクサ405は、一方の入力端がパッド410に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロックS₄₃を入力する。また、マルチプレクサ405の出力端は、マクロセル401のクロック入力端CLKに接続される。さらに、マルチプレクサ405の選択信号入力端は、パッド408に接続される。マルチプレクサ405の一方の入力端とパッド410とは、機能試験時に接続されればよく、通常動作時にはパッド410を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0052】マルチプレクサ406は、一方の入力端がマクロセル401の信号出力端Qに接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号S₄₄を入力する。また、マルチプレクサ406の出力端は、パッド412に接続される。さらに、マルチプレクサ406の選択信号入力端は、パッド408に接続される。

【0053】マルチプレクサ407は、一方の入力端がラッチ403の信号出力端に接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号S₄₅を入力する。また、マルチプレクサ407の出力端は、パッド411に接続される。さらに、マルチプレクサ407の選択信号入力端は、パッド408に接続される。

【0054】この実施の形態では、信号出力端Qからラッチ402aまでの距離と、信号出力端Qからラッチ403までの距離とを、実質的に一致させる。このため、例えば、ラッチ403を、論理回路ブロック402に近

傍に配置する。

【0055】次に、図4に示した半導体装置のアクセスタイムを判定する方法について、説明する。

【0056】機能試験を行う場合、まず、パッド408に供給する信号TESTを、機能試験モードの信号値に設定する。これにより、マルチプレクサ404はパッド409を選択し、マルチプレクサ405はパッド410を選択し、マルチプレクサ406は信号Qを選択し、且つ、マルチプレクサ407はラッチ403の出力信号を選択する。次に、パッド409からテスト用信号TDが入力され、且つ、パッド410からテスト用クロックTCLKが入力される。テスト用信号TDおよびテスト用クロックTCLKは、マルチプレクサ404、405を介して、マクロセル401に入力される。そして、マクロセル401が、信号Qを出力する。この信号Qは、マルチプレクサ406を介して、パッド412から出力される。また、この信号Qは、ラッチ403に保持される。ラッチ403に保持された信号Tqは、マルチプレクサ407を介して、パッド411から出力される。

【0057】この機能試験においては、パッド412に出力される信号TQとパッド411に出力される信号Tqを測定し、両者が一致、不一致を確認することでラッチ403（402a）にマクロセルの出力Qが保持されているかどうかを判定できる。

【0058】すなわち、この実施の形態によれば、マクロセルのアクセスタイムが、後段の論理回路ブロック402を動作させる上で問題の無いレベルにあるかどうかを、正確に判定することができる。

【0059】第4の実施の形態

以下、この発明の第4の実施の形態について、図5を用いて説明する。この実施の形態は、マクロセルのセットアップタイムを正確に判定する半導体装置の例である。

【0060】図5は、この実施の形態に係る半導体装置の要部構成を示す回路図である。

【0061】図5に示したように、この半導体装置は、マクロセル501と、2入力のマルチプレクサ502、503、504と、3入力のマルチプレクサ505と、入力パッド506、507、508、509と、出力パッド510、511とを備えている。

【0062】マクロセル501は、RAM等を構成し、信号入力端D、クロック入力端CLKおよび信号出力端Qを備えている。後述するように、信号入力端Dおよびクロック入力端CLKは、マルチプレクサ502、503から信号DおよびクロックCLKを入力する。また、信号出力端Qは、図示しない後段の回路ブロック等およびマルチプレクサ504に、出力信号Qを出力する。

【0063】マルチプレクサ502は、一方の入力端がパッド508に接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号S₅₁を入力する。また、マルチプレクサ502の出力端は、マクロセル50

1の信号入力端Dに接続される。さらに、マルチプレクサ502の選択信号入力端は、パッド507に接続される。マルチプレクサ502の一方の入力端とパッド508とは、機能試験時に接続されればよい。したがって、通常動作時には、パッド508を、他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0064】マルチプレクサ503は、一方の入力端がパッド509に接続され、他方の入力端が他の回路ブロック等（図示せず）からのクロックS₅₂を入力する。また、マルチプレクサ503の出力端は、マクロセル501のクロック入力端CLKに接続される。さらに、マルチプレクサ503の選択信号入力端は、パッド507に接続される。マルチプレクサ503の一方の入力端とパッド509とは、機能試験時に接続されればよく、通常動作時にはパッド509を他の回路ブロック（図示せず）用の信号パッドとして使用してもよい。

【0065】マルチプレクサ504は、一方の入力端がマクロセル501の信号出力端Qに接続され、他方の入力端から他の回路ブロック等（図示せず）の出力信号S₅₃を入力する。また、マルチプレクサ504の出力端は、パッド510に接続される。さらに、マルチプレクサ504の選択信号入力端は、パッド507に接続される。これにより、パッド510は、機能試験時には信号Qの出力パッドとして使用され、通常動作時には信号S₅₃の出力パッドとして使用される。

【0066】マルチプレクサ505は、第1の入力端がマクロセル501の信号入力端Dに接続され、第2の入力端がマクロセル501のクロック入力端CLKに接続され、第3の入力端が他の回路ブロック等（図示せず）の出力信号S₅₄を入力する。また、マルチプレクサ505の出力端は、パッド511に接続される。さらに、マルチプレクサ505の一方の選択信号入力端はパッド506に接続され、他方の選択信号入力端はパッド507に接続される。これにより、パッド511は、機能試験時には信号DおよびクロックCLKの出力パッドとして使用され、通常動作時には信号S₅₄の出力パッドとして使用される。

【0067】この実施の形態では、マルチプレクサ503からマルチプレクサ505に達する信号の配線遅延とマルチプレクサ502からマルチプレクサ505に達する信号の配線遅延との差を、無視できるようにする。このため、例えば、マルチプレクサ503を、マルチプレクサ502の近傍に配置する。

【0068】次に、図5に示した半導体装置のセットアップタイムの試験を行う方法の一例について、説明する。

【0069】機能試験を行う場合、まず、パッド507に供給する信号TESTを、機能試験モードの信号値に設定する。さらに、パッド506に供給する信号MODEを、信号入力端Dを選択するための信号値に設定す

る。これにより、マルチプレクサ502はパッド508を選択し、マルチプレクサ503はパッド509を選択し、マルチプレクサ504は信号Qを選択し、且つ、マルチプレクサ505は信号入力端Dを選択する。続いて、パッド508からテスト用信号TDが入力され、且つ、パッド509からテスト用クロックTCLKが入力される。このとき、テスト用信号TDがパッド508に印加されてから、所定時間後 τ_1 にテスト用クロックTCLKが立ち上がり、さらに、この立ち上がりタイミングから所定時間後 τ_2 にテスト用信号TDの印加が終了する。これらの信号TD、TCLKは、マルチプレクサ502、503を介して、マクロセル501に印加される。マクロセル501は、テスト用クロックTCLKの立ち上がりタイミングでテスト用信号TDを取り込み、この信号TDの値に応じた値の信号Qを出力する。この信号Qは、マルチプレクサ504を介して、パッド510から出力される。また、信号Dは、マルチプレクサ505を介して、パッド511から出力される。このとき、パッド508にテスト用信号TDが供給されてからパッド510が信号Dを出力するまでの所要時間T₇が、測定される。

【0070】次に、信号MODEが、クロック入力端CLKを選択するための信号値に変更される。このとき、パッド508からテスト用クロックTCLKが入力される。テスト用クロックTCLKは、マルチプレクサ503、505を介して、パッド511から出力される。そして、パッド509にテスト用クロックTCLKが供給されてからパッド511がテスト用クロックTCLKを出力するまでの所要時間T₈が、測定される。

【0071】その後、所要時間の差T₇ - T₈を演算する。この時間差T₇ - T₈は、パッド508から信号入力端Dまでの経路の配線遅延と、パッド509からクロック入力端CLKまでの経路の配線遅延との差に等しい。次に、時間差T₇ - T₈が、上述の所定時間 τ_1 、 τ_2 に加算される。これらの加算結果のうち、 $\tau_1 + (T_7 - T_8)$ は、テスト用信号TDがマクロセル501に印加されてからテスト用クロックTCLKがマクロセル501に印加されるまでの、実際の時間である。また、 $\tau_2 + (T_7 - T_8)$ は、テスト用クロックTCLKがマクロセル501に印加されてからテスト用信号TDの印加が終了するまでの、実際の時間である。

【0072】このように、この実施の形態では、セットアップタイムの試験を正確に行うことができる。

【0073】

【発明の効果】以上詳細に説明したように、本発明に係る半導体装置によれば、配線遅延の影響を排除して正確な機能試験を行うことができる。

【図面の簡単な説明】

【図1】第1の実施の形態に係る半導体装置の構成を示す回路図である。

【図2】第1の実施の形態に係る半導体装置の試験方法を説明するためのタイミングチャートである。

【図3】第2の実施の形態に係る半導体装置の構成を示す回路図である。

【図4】第3の実施の形態に係る半導体装置の構成を示す回路図である。

【図5】第4の実施の形態に係る半導体装置の構成を示す回路図である。

す回路図である。

【図6】従来の半導体装置の構成を示す回路図である。

【符号の説明】

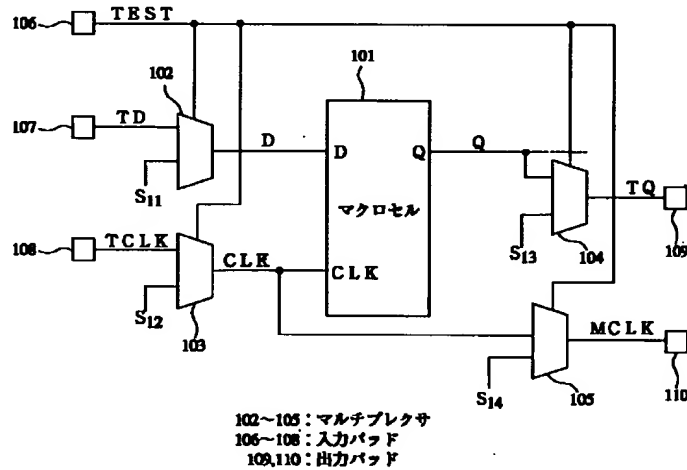
101 マクロセル

102, 103, 104, 105 マルチプレクサ

106, 107, 108 入力パッド

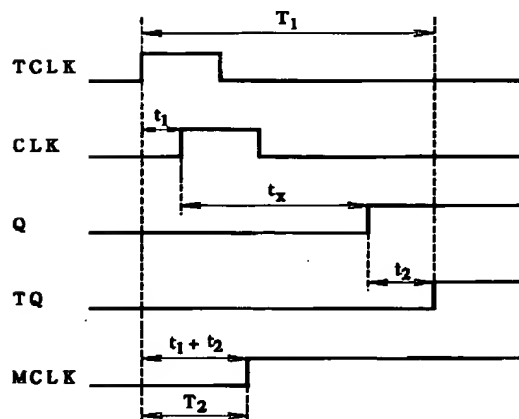
109, 110 出力パッド

【図1】



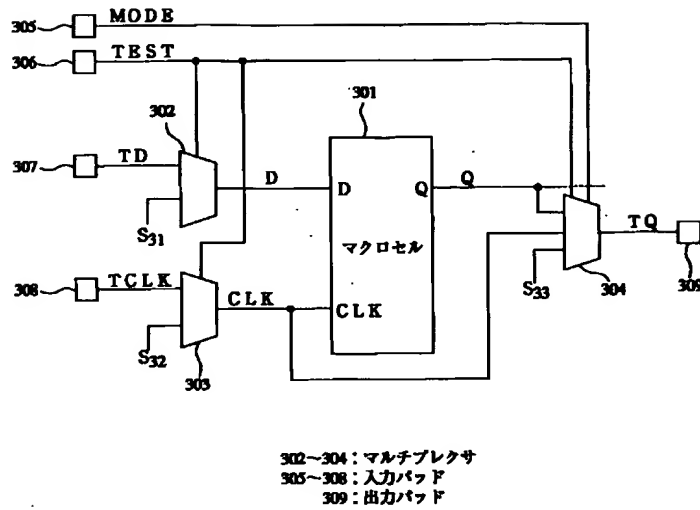
第1の実施の形態の構成図

【図2】



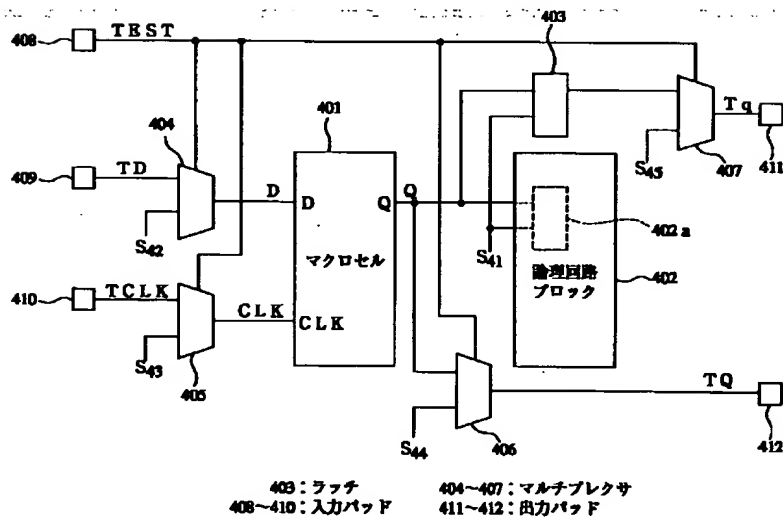
第1の実施の形態の動作説明図

【図3】



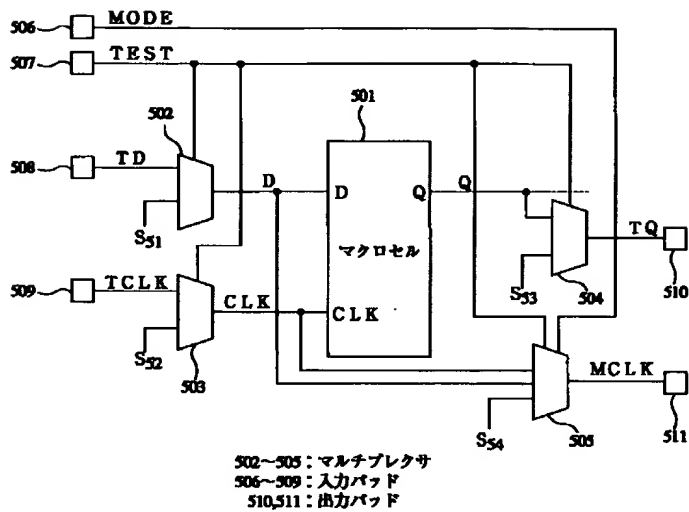
第2の実施の形態の構成図

【図4】



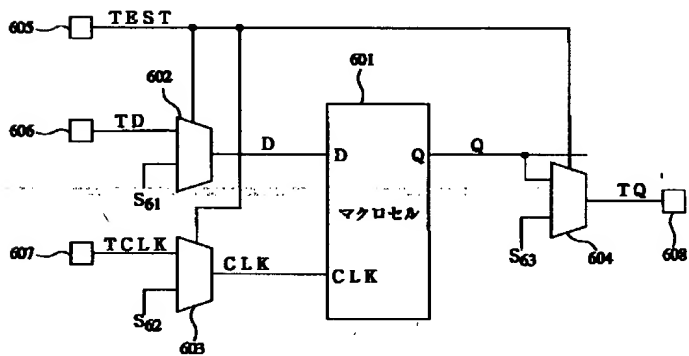
第3の実施の形態の構成図

【図5】



第4の実施の形態の構成図

【図6】



従来技術の構成図

フロントページの続き

(51)Int. Cl.⁷

G11C 29/00

識別記号

659

671

F I

メモード(参考)

DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[The technical field to which invention belongs] This invention relates to the semiconductor device which equips a detail with the mode in which the functional test of the circuit block formed in the integrated circuit is performed, more about a semiconductor device.

[0002]

[Description of the Prior Art] As an integrated circuit of a semiconductor device, the thing which, for example, made two or more large-scale macro cells load together is known. A macro cell is the circuit block constituted by combining two or more small-scale circuit blocks already designed individually. For example, a macro cell is adopted as RAM (Random Access Memory) etc. A design can be easy-ized by adopting a macro cell.

[0003] When a macro cell is adopted as an integrated circuit, the functional test of only the macro cell may be performed at the examination process of a semiconductor device. For this reason, the circuit for performing the functional test of the macro cell may be prepared in an integrated circuit.

[0004] Drawing 6 is a circuit diagram for explaining the composition of the conventional functional test circuit.

[0005] In the example of drawing 6, the macro cell 601 has the signal input edge D, the clocked-into edge CLK, and the signal outgoing end Q.

[0006] A multiplexer 602,603,604 inputs Signal TEST as a selection signal. Signal TEST is inputted from the outside through the input pad 605. When Signal TEST shows normal operation mode (non-functional test mode), a multiplexer 602 chooses the output signals (not shown) S61, such as other circuit blocks, and a multiplexer 603 chooses the clocks (not shown) S62, such as other circuit blocks. Moreover, a multiplexer 604 chooses the output signal S63 of other circuit blocks (not shown). On the other hand, when Signal TEST shows functional test mode, a multiplexer 602 chooses the signal TD for a test, and a multiplexer 603 chooses the clock TCLK for a test. Moreover, a multiplexer 604 chooses the output signal TQ of a macro cell 601. Here, the signal TD for a test is inputted through a pad 606, and the clock TCLK for a test is inputted through a pad 607. Moreover, the output signal TQ for a test is outputted outside from a pad 608.

[0007] According to such composition, the functional test of a macro cell 601 can be performed by reading the signal TD for a test supplied to the pad 606,607 from the exterior, and the output signal TQ corresponding to the clock TCLK for a test from a pad 608.

[0008]

[Problem(s) to be Solved by the Invention] Generally, as a functional test of a macro cell 601, the examination of access time, the examination of setup time, etc. are known.

[0009] Access time is a duration after the signal input edge D of a macro cell 601 incorporates a signal until the signal outgoing end Q outputs a signal. When access time is longer than a design value, the circuit of the next step cannot be operated correctly.

Here, the signal input edge D is the input timing (standup timing or falling timing) of Clock CLK, and incorporates a signal. Therefore, what is necessary is just to measure a duration in order to measure access time, after the clocked-into edge CLK inputs a clock until the signal outgoing end Q outputs a signal.

[0010] Moreover, setup time is an allowed-time difference until the impression of signal potential to the signal input edge D is completed, after a clock is inputted into an allowed-time difference and the clocked-into edge CLK after signal potential is impressed to the signal input edge D until a clock is inputted into the clocked-into edge CLK. It is required for time difference in order for a macro cell 601 to incorporate Signal D correctly, after signal potential is impressed to the signal input edge D until a clock is inputted into the clocked-into edge CLK to be beyond a predetermined allowed-time difference. In order for a macro cell 601 to incorporate Signal D correctly, after similarly a clock is inputted into the clocked-into edge CLK, it is required for time difference until the impression of signal potential to the signal input edge D is completed to be beyond a predetermined allowed-time difference. Therefore, when these allowed-time differences are longer than a design value, there is a possibility that the signal D of the value which was mistaken in the macro cell 601 may be incorporated. For this reason, in the examination of setup time, when the time difference of impression start / end timing of Signal D and clocked-into timing is made into a predetermined value, it judges whether Signal D was read correctly. It is judged with the value of an output signal TQ whether Signal D was read correctly.

[0011] In the conventional semiconductor device, when access time was examined, the duration after the signal TD for a test is inputted into a pad 606 until Signal TQ is outputted to a pad 608 was measured. Moreover, when setup time was examined, the signal value of Output Q when setting the difference of the timing which starts and ends impression of the signal TD for a test to a pad 606, and the timing which impresses the clock TCLK for a test to a pad 607 as an above-mentioned predetermined value was read.

[0012] When the wiring distance between a pad 606, 607, 608 and a macro cell 601 is long, it becomes impossible to disregard a wiring delay and it becomes impossible however, to perform an exact functional test. For example, in the examination of above-mentioned access time, when the wiring delay between a pad 606, and the wiring delay between the signal input edges D, the signal outgoing end Q and a pad 608 cannot be disregarded, an exact judgment cannot be performed. Moreover, in the examination of above-mentioned setup time, when the difference of the wiring delay from the pad 606 to the signal input edge D and the wiring delay from the pad 607 to the clocked-into edge CLK cannot be disregarded, an exact judgment cannot be performed.

[0013] For this reason, much of the technology for eliminating the influence of a wiring delay and performing an exact functional test was expected.

[0014]

[Means for Solving the Problem] This invention relates to a semiconductor device equipped with the mode in which the functional test of the circuit block formed in the integrated circuit is performed.

[0015] And it has a delay stimulus-signal path for judging the wiring delay of the signal path for an examination used at the time of a functional test.

[0016] According to this invention, by performing time measurement to which a signal passes the signal path for an examination, and time measurement to which a signal passes

a delay stimulus-signal path, and computing both difference, the influence of a wiring delay can be eliminated and an exact functional test can be performed.

[0017]

[Embodiments of the Invention] Hereafter, the form of operation of this invention is explained using a drawing. In addition, the grade the size of each constituent, a configuration, and an arrangement relation can understand this invention to be among drawing -- rough -- being shown -- **** -- the numerical conditions which do not pass and which are explained below are only mere instantiation

[0018] The form of implementation of the 1st of this invention is explained using drawing 1 and drawing 2 below the form of the 1st operation. The form of this operation is the example of the semiconductor device which judges the access time of a macro cell correctly.

[0019] Drawing 1 is the circuit diagram showing the important section composition of the semiconductor device concerning the form of this operation.

[0020] As shown in drawing 1, this semiconductor device is equipped with the macro cell 101, the multiplexer 102, 103, 104, 105 of 2 inputs, the input pad 106, 107, 108, and the output pad 109, 110.

[0021] The macro cell 101 constituted RAM etc. and is equipped with the signal input edge D, the clocked-into edge CLK, and the signal outgoing end Q. The signal input edge D and the clocked-into edge CLK input Signal D and Clock CLK from a multiplexer 102, 103 so that it may mention later. Moreover, the signal outgoing end Q supplies an output signal Q to the latter multiplexers 104 which are not illustrated, such as a circuit block.

[0022] One input edge is connected to a pad 107, and a multiplexer 102 inputs the output signals (not shown) S11, such as other circuit blocks, from the input edge of another side. Moreover, the outgoing end of a multiplexer 102 is connected to the signal input edge D of a macro cell 101. Furthermore, the selection-signal input edge of a multiplexer 102 is connected to a pad 106. Here, one input edge and pad 107 of a multiplexer 102 should just be connected at the time of a functional test. Therefore, at the time of normal operation, you may use a pad 107 as a signal pad for other circuit blocks (not shown).

[0023] One input edge is connected to a pad 108, and, as for a multiplexer 103, the input edge of another side inputs the clock S12 from other circuit blocks (not shown) etc. Moreover, the outgoing end of a multiplexer 103 is connected to the clocked-into edge CLK of a macro cell 101. Furthermore, the selection-signal input edge of a multiplexer 103 is connected to a pad 106. One input edge and pad 108 of a multiplexer 103 should just be connected at the time of a functional test. Therefore, at the time of normal operation, you may use a pad 108 as a signal pad for other circuit blocks (not shown).

[0024] One input edge is connected to the signal outgoing end Q of a macro cell 101, and, as for a multiplexer 104, the input edge of another side inputs the output signals (not shown) S13, such as other circuit blocks. Moreover, the outgoing end of a multiplexer 104 is connected to a pad 109. Furthermore, the selection-signal input edge of a multiplexer 104 is connected to a pad 106. Thereby, a pad 109 is used as an output pad of Signal Q at the time of a functional test, and is used as an output pad of a signal S13 at the time of normal operation.

[0025] One input edge is connected to the clocked-into edge CLK of a macro cell 101, and, as for a multiplexer 105, the input edge of another side inputs the output signals (not

shown) S14, such as other circuit blocks. Moreover, the outgoing end of a multiplexer 105 is connected to a pad 110. Furthermore, the selection-signal input edge of a multiplexer 105 is connected to a pad 106. Thereby, a pad 110 is used as an output pad of Clock CLK at the time of a functional test, and is used as an output pad of a signal S14 at the time of normal operation.

[0026] Here, a multiplexer 105 is arranged near the multiplexer 104. Thereby, the wire length from a multiplexer 104 to a pad 109 and the wire length from a multiplexer 105 to a pad 110 can be made the same. Therefore, although the difference of the wire length from the signal outgoing end Q to a pad 109 and the wire length from the clocked-into edge CLK to a pad 110 turns into a difference of the wire length from the signal outgoing end Q to a multiplexer 104, and the wire length from the clocked-into edge CLK to a multiplexer 105, a wiring-delay top can disregard this difference. Therefore, the time delay until a time delay and Clock CLK until an output signal Q reaches a pad 109 reach a pad 110 is substantially the same.

[0027] Next, how to measure the access time of the semiconductor device shown in drawing 1 is explained using drawing 2.

[0028] When performing a functional test, the signal TEST supplied to a pad 106 is first set as the signal value in functional test mode. Thereby, by a multiplexer 102 choosing a pad 107, a multiplexer 103 chooses a pad 108, and a multiplexer 104 chooses Signal Q, and a multiplexer 105 chooses Clock CLK. Next, the signal TD for a test is inputted from a pad 107, and the clock TCLK for a test is inputted from a pad 108. The signal TD for a test and the clock TCLK for a test are inputted into a macro cell 101 through a multiplexer 102, 103. And a macro cell 101 reads the signal TD for a test to the timing (starting in the example of drawing 2 timing) given with the clock TCLK for a test, and outputs the signal Q of the value corresponding to the value of this signal TD for a test. This signal Q is outputted from a pad 109 through a multiplexer 104. Moreover, the clock TCLK for a test is outputted from a pad 110 as a clock MCLK through a multiplexer 105.

[0029] Duration T1 after the clock TCLK for a test is supplied to a pad 108 with the gestalt of this operation until a pad 109 outputs Signal Q Duration T2 after the clock TCLK for a test is supplied to a pad 108 until a pad 110 outputs the clock MCLK for a test It is measured. And difference T1-T2 of these durations It is calculated. Time as shown in drawing 2, after the clock TCLK for a test is impressed to a pad 108 until it is inputted into a macro cell 101 t1, time after tx and Signal Q are outputted in time (namely, access time) after a macro cell inputs the clock TCLK for a test until it outputs Signal Q until it reaches a pad 109 -- t2 ** -- if it carries out -- time T1 t1+tx+t2 it is . moreover -- since the wiring delay from the clocked-into edge CLK to a pad 110 is substantially the same as the wiring delay from an outgoing end Q to a pad 109 as mentioned above -- time T2 t1+t2 it is . Therefore, time difference T1-T2 Access time tx It is in agreement. Namely, time difference T1-T2 It becomes the value which removed the influence of a wiring delay from the measured value T1 of access time.

[0030] Thus, according to the semiconductor device concerning the gestalt of this operation, the exact access time of a macro cell can be measured.

[0031] The gestalt of the 2nd operation, next the gestalt of implementation of the 2nd of this invention are explained using drawing 3. The gestalt of this operation is the example of the semiconductor device which judges the access time of a macro cell correctly.

[0032] Drawing 3 is the circuit diagram showing the important section composition of the

semiconductor device concerning the gestalt of this operation.

[0033] As shown in drawing 3, this semiconductor device is equipped with a macro cell 301, the multiplexer 302,303 of 2 inputs, the multiplexer 304 of 3 inputs, the input pad 305,306,307,308, and the output pad 309.

[0034] The macro cell 301 constituted RAM etc. and is equipped with the signal input edge D, the clocked-into edge CLK, and the signal outgoing end Q. The signal input edge D and the clocked-into edge CLK input Signal D and Clock CLK from a multiplexer 302,303 so that it may mention later. Moreover, the signal outgoing end Q outputs an output signal Q to the latter multiplexers 304 which are not illustrated, such as a circuit block.

[0035] One input edge is connected to a pad 307, and, as for a multiplexer 302, the input edge of another side inputs the output signals (not shown) S31, such as other circuit blocks. Moreover, the outgoing end of a multiplexer 302 is connected to the signal input edge D of a macro cell 301. Furthermore, the selection-signal input edge of a multiplexer 302 is connected to a pad 306. One input edge and pad 307 of a multiplexer 302 should just be connected at the time of a functional test. Therefore, at the time of normal operation, you may use a pad 307 as a signal pad for other circuit blocks (not shown).

[0036] One input edge is connected to a pad 308, and, as for a multiplexer 303, the input edge of another side inputs the clock S32 from other circuit blocks (not shown) etc. Moreover, the outgoing end of a multiplexer 303 is connected to the clocked-into edge CLK of a macro cell 301. Furthermore, the selection-signal input edge of a multiplexer 303 is connected to a pad 306. At the time of normal operation, a pad 308 may be used for one input edge and pad 308 of a multiplexer 303 as signal pads for other circuit blocks (not shown) that what is necessary is just to connect at the time of a functional test.

[0037] The 1st input edge is connected to the signal outgoing end Q of a macro cell 301, the 2nd input edge inputs the output signals (not shown) S33, such as other circuit blocks, and, as for a multiplexer 304, the 3rd input edge is further connected to the clocked-into edge CLK of a macro cell 301. Moreover, the outgoing end of a multiplexer 304 is connected to a pad 309. Furthermore, one selection-signal input edge of a multiplexer 304 is connected to a pad 305, and the selection-signal input edge of another side is connected to a pad 306. Thereby, a pad 309 is used as Signal Q and an output pad of Clock CLK at the time of a functional test, and is used as an output pad of a signal S33 at the time of normal operation.

[0038] With both the forms of this operation, Signal Q and Clock CLK are outputted from a pad 309 through a multiplexer 304. Therefore, the difference of the wire length from the signal outgoing end Q to a pad 309 and the wire length from the clocked-into edge CLK to a pad 309 turns into a difference of the wire length from the signal outgoing end Q to a multiplexer 304, and the wire length from the clocked-into edge CLK to a multiplexer 304. Therefore, a multiplexer 304 is arranged in the position which this difference can disregard on a wiring delay. For example, this wiring delay can be disregarded now by arranging a multiplexer 304 near the macro cell 301.

[0039] Next, how to measure the access time of the semiconductor device shown in drawing 3 is explained.

[0040] When performing a functional test, the signal TEST supplied to a pad 306 is first set as the signal value in functional test mode. Furthermore, the signal MODE supplied to

a pad 305 is set as the signal value for choosing an outgoing end Q. Thereby, a multiplexer 302 chooses a pad 307, a multiplexer 303 chooses a pad 308 and a multiplexer 304 chooses an outgoing end Q. Then, the signal TD for a test is inputted from a pad 307, and the clock TCLK for a test is inputted from a pad 308. The signal TD for a test and the clock TCLK for a test are inputted into a macro cell 301 through a multiplexer 302,303. And a macro cell 301 outputs Signal TQ. This signal TQ is outputted from a pad 309 through a multiplexer 304. Duration T3 after the clock TCLK for a test is supplied to a pad 308 at this time until a pad 309 outputs Signal TQ It is measured.

[0041] Next, it is changed into the signal value for Signal MODE choosing the clocked-into edge CLK. And the clock TCLK for a test is inputted from a pad 308. The clock TCLK for a test is outputted from a pad 309 through a multiplexer 303,304. Duration T4 after the clock TCLK for a test is supplied to a pad 308 at this time until it reaches a pad 309 It is measured.

[0042] Then, difference T3-T4 of a duration Access time is computed by calculating.

[0043] Thus, one multiplexer is used with the gestalt of this operation, and it is a duration T3 and T4. Access time is computed after measuring individually. The exact access time of a macro cell can be measured also according to the gestalt of this operation.

[0044] The gestalt of the 3rd operation, next the gestalt of implementation of the 3rd of this invention are explained using drawing 4 . The gestalt of this operation is the example of the semiconductor device which judges correctly a duration until the output signal of a macro cell is incorporated by the logical circuit block of the next step.

[0045] Drawing 4 is the circuit diagram showing the important section composition of the semiconductor device concerning the gestalt of this operation.

[0046] As shown in drawing 4 , this semiconductor device is equipped with a macro cell 401, the logical circuit block 402, the latch 403, the multiplexer 404,405,406,407, the input pad 408,409,410, and the output pad 411,412.

[0047] The macro cell 401-constituted RAM etc. and is equipped with the signal input edge D, the clocked-into edge CLK, and the signal outgoing end Q. The signal input edge D and the clocked-into edge CLK input Signal D and Clock CLK from a multiplexer 404,405. Moreover, the signal outgoing end Q outputs an output signal Q to latch 403, the latter logical circuit block 402, and a multiplexer 406.

[0048] The logical circuit block 402 is equipped with latch 402a as an input circuit. Latch 402a holds the signal Q inputted from the macro cell 401 to the timing of a clock S41. The logical circuit block 402 performs predetermined logical operation etc. using the output signal of latch 402a.

[0049] Latch 403 is used as a dummy of latch 402a. Therefore, as latch 403, the thing of the same access time as latch 402a is used. This latch 403 holds and outputs the signal Q inputted from the macro cell 401 to the timing of a clock S41.

[0050] One input edge is connected to a pad 409, and, as for a multiplexer 404, the input edge of another side inputs the output signals (not shown) S42, such as other circuit blocks. Moreover, the outgoing end of a multiplexer 404 is connected to the signal input edge D of a macro cell 401. Furthermore, the selection-signal input edge of a multiplexer 404 is connected to a pad 408. One input edge and pad 409 of a multiplexer 404 should just be connected at the time of a functional test. Therefore, at the time of normal operation, you may use a pad 409 as a signal pad for other circuit blocks (not shown).

[0051] One input edge is connected to a pad 410, and, as for a multiplexer 405, the input edge of another side inputs the clock S43 from other circuit blocks (not shown) etc. Moreover, the outgoing end of a multiplexer 405 is connected to the clocked-into edge CLK of a macro cell 401. Furthermore, the selection-signal input edge of a multiplexer 405 is connected to a pad 408. At the time of normal operation, a pad 410 may be used for one input edge and pad 410 of a multiplexer 405 as signal pads for other circuit blocks (not shown) that what is necessary is just to connect at the time of a functional test.

[0052] One input edge is connected to the signal outgoing end Q of a macro cell 401, and a multiplexer 406 inputs the output signals (not shown) S44, such as other circuit blocks, from the input edge of another side. Moreover, the outgoing end of a multiplexer 406 is connected to a pad 412. Furthermore, the selection-signal input edge of a multiplexer 406 is connected to a pad 408.

[0053] One input edge is connected to the signal outgoing end of latch 403, and a multiplexer 407 inputs the output signals (not shown) S45, such as other circuit blocks, from the input edge of another side. Moreover, the outgoing end of a multiplexer 407 is connected to a pad 411. Furthermore, the selection-signal input edge of a multiplexer 407 is connected to a pad 408.

[0054] The distance from the signal outgoing end Q to latch 402a and the distance from the signal outgoing end Q to latch 403 are substantially made in agreement with the gestalt of this operation. For this reason, for example, latch 403 is arranged to the logical circuit block 402 in near.

[0055] Next, how to judge the access time of the semiconductor device shown in drawing 4 is explained.

[0056] When performing a functional test, the signal TEST supplied to a pad 408 is first set as the signal value in functional test mode. Thereby, by a multiplexer 404 choosing a pad 409, a multiplexer 405 chooses a pad 410, and a multiplexer 406 chooses Signal Q, and a multiplexer 407 chooses the output signal of latch 403. Next, the signal TD for a test is inputted from a pad 409, and the clock TCLK for a test is inputted from a pad 410. The signal TD for a test and the clock TCLK for a test are inputted into a macro cell 401 through a multiplexer 404,405. And a macro cell 401 outputs Signal Q. This signal Q is outputted from a pad 412 through a multiplexer 406. Moreover, this signal Q is held at latch 403. The signal Tq held at the latch 403 is outputted from a pad 411 through a multiplexer 407.

[0057] In this functional test, the signal TQ outputted to a pad 412 and the signal Tq outputted to a pad 411 are measured, and it can judge whether the output Q of microcell is held at the latch 403 (402a) because both check coincidence and an inequality.

[0058] That is, according to the gestalt of this operation, it can judge correctly whether the access time of a macro cell is in the level which is satisfactory when operating the latter logical circuit block 402.

[0059] The gestalt of implementation of the 4th of this invention is explained using drawing 5 below the gestalt of the 4th operation. The gestalt of this operation is the example of the semiconductor device which judges the setup time of a macro cell correctly.

[0060] Drawing 5 is the circuit diagram showing the important section composition of the semiconductor device concerning the gestalt of this operation.

[0061] As shown in drawing 5, this semiconductor device is equipped with a macro cell 501, the multiplexer 502, 503, 504 of 2 inputs, the multiplexer 505 of 3 inputs, the input pad 506, 507, 508, 509, and the output pad 510, 511.

[0062] The macro cell 501 constituted RAM etc. and is equipped with the signal input edge D, the clocked-into edge CLK, and the signal outgoing end Q. The signal input edge D and the clocked-into edge CLK input Signal D and Clock CLK from a multiplexer 502, 503 so that it may mention later. Moreover, the signal outgoing end Q outputs an output signal Q to the latter multiplexers 504 which are not illustrated, such as a circuit block.

[0063] One input edge is connected to a pad 508, and a multiplexer 502 inputs the output signals (not shown) S51, such as other circuit blocks, from the input edge of another side. Moreover, the outgoing end of a multiplexer 502 is connected to the signal input edge D of a macro cell 501. Furthermore, the selection-signal input edge of a multiplexer 502 is connected to a pad 507. One input edge and pad 508 of a multiplexer 502 should just be connected at the time of a functional test. Therefore, at the time of normal operation, you may use a pad 508 as a signal pad for other circuit blocks (not shown).

[0064] One input edge is connected to a pad 509, and, as for a multiplexer 503, the input edge of another side inputs the clock S52 from other circuit blocks (not shown) etc. Moreover, the outgoing end of a multiplexer 503 is connected to the clocked-into edge CLK of a macro cell 501. Furthermore, the selection-signal input edge of a multiplexer 503 is connected to a pad 507. At the time of normal operation, a pad 509 may be used for one input edge and pad 509 of a multiplexer 503 as signal pads for other circuit blocks (not shown) that what is necessary is just to connect at the time of a functional test.

[0065] One input edge is connected to the signal outgoing end Q of a macro cell 501, and a multiplexer 504 inputs the output signals (not shown) S53, such as other circuit blocks, from the input edge of another side. Moreover, the outgoing end of a multiplexer 504 is connected to a pad 510. Furthermore, the selection-signal input edge of a multiplexer 504 is connected to a pad 507. Thereby, a pad 510 is used as an output pad of Signal Q at the time of a functional test, and is used as an output pad of a signal S53 at the time of normal operation.

[0066] The 1st input edge is connected to the signal input edge D of a macro cell 501, the 2nd input edge is connected to the clocked-into edge CLK of a macro cell 501, and, as for a multiplexer 505, the 3rd input edge inputs the output signals (not shown) S54, such as other circuit blocks. Moreover, the outgoing end of a multiplexer 505 is connected to a pad 511. Furthermore, one selection-signal input edge of a multiplexer 505 is connected to a pad 506, and the selection-signal input edge of another side is connected to a pad 507. Thereby, a pad 511 is used as Signal D and an output pad of Clock CLK at the time of a functional test, and is used as an output pad of a signal S54 at the time of normal operation.

[0067] It enables it to disregard the difference of the wiring delay of the signal which reaches a multiplexer 505 from a multiplexer 503, and the wiring delay of a signal which reaches a multiplexer 505 from a multiplexer 502 with the gestalt of this operation. For this reason, for example, a multiplexer 503 is arranged near the multiplexer 502.

[0068] Next, an example of a method which examines setup time of the semiconductor device shown in drawing 5 is explained.

[0069] When performing a functional test, the signal TEST supplied to a pad 507 is first set as the signal value in functional test mode. Furthermore, the signal MODE supplied to a pad 506 is set as the signal value for choosing the signal input edge D. Thereby, by a multiplexer 502 choosing a pad 508, a multiplexer 503 chooses a pad 509, and a multiplexer 504 chooses Signal Q, and a multiplexer 505 chooses the signal input edge D. Then, the signal TD for a test is inputted from a pad 508, and the clock TCLK for a test is inputted from a pad 509. After the signal TD for a test is impressed to a pad 508 at this time, it is the predetermined-time back tau 1. The clock TCLK for a test starts and it is the predetermined-time back tau 2 from this standup timing further. Impression of the signal TD for a test is completed. These signals TD and TCLK are impressed to a macro cell 501 through a multiplexer 502,503. A macro cell 501 incorporates the signal TD for a test to the standup timing of the clock TCLK for a test, and outputs the signal Q of the value according to the value of this signal TD. This signal Q is outputted from a pad 510 through a multiplexer 504. Moreover, Signal D is outputted from a pad 511 through a multiplexer 505. Duration T7 after the signal TD for a test is supplied to a pad 508 at this time until a pad 109 outputs Signal D It is measured.

[0070] Next, it is changed into the signal value for Signal MODE choosing the clocked-into edge CLK. At this time, the clock TCLK for a test is inputted from a pad 508. The clock TCLK for a test is outputted from a pad 511 through a multiplexer 503,505. And duration T8 after the clock TCLK for a test is supplied to a pad 509 until a pad 511 outputs the clock TCLK for a test It is measured.

[0071] Then, difference T7-T8 of a duration It calculates. This time difference T7-T8 It is equal to the difference of the wiring delay of the path from the pad 508 to the signal input edge D, and the wiring delay of the path from the pad 509 to the clocked-into edge CLK. Next, time difference T7-T8 The above-mentioned predetermined time tau 1 and tau 2 It is added. $\tau_1 + (T7-T8)$ is actual time after the signal TD for a test is impressed to a macro cell 501 until the clock TCLK for a test is impressed to a macro cell 501 among these addition results. Moreover, $\tau_2 + (T7-T8)$ is actual time after the clock TCLK for a test is impressed to a macro cell 501 until impression of the signal TD for a test is completed.

[0072] Thus, with the gestalt of this operation, setup time can be examined correctly.

[0073]

[Effect of the Invention] As explained to the detail above, according to the semiconductor device concerning this invention, the influence of a wiring delay can be eliminated and an exact functional test can be performed.

[Translation done.]